

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IPW

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Seiichi YAMAMOTO et al.

Attorney Docket Number: 103213-00071

Application Number: 10/784,302

Group Art Unit: 2811

Filed: February 24, 2004

Confirmation Number: 2270

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Date: May 26, 2004

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application Number 2003-048369 filed on February 26, 2003

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account Number 01-2300.

Respectfully submitted,

Charles M. Marmelstein
Registration Number 25,895

Customer Number: 004372
ARENT FOX PLLC
1050 Connecticut Avenue, NW
Suite 400
Washington, DC 20036-5339
Telephone: (202) 857-6000
Fax: (202) 638-4810
CMM:vmh
Enclosure: Priority Document (1)

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 2月26日

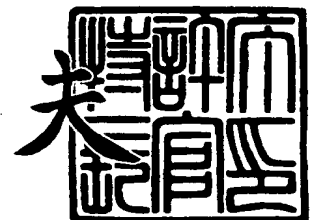
出願番号
Application Number: 特願2003-048369
[ST. 10/C]: [J. P 2003-048369]

出願人
Applicant(s): ローム株式会社

2004年 2月23日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3012494

【書類名】 特許願

【整理番号】 PR300008

【提出日】 平成15年 2月26日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04
H03F 01/00

【発明の名称】 半導体集積回路装置

【請求項の数】 6

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 山本 精一

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 前田 記寛

【発明者】

【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

【氏名】 上田 豊和

【特許出願人】

【識別番号】 000116024

【氏名又は名称】 ローム株式会社

【代理人】

【識別番号】 100085501

【弁理士】

【氏名又は名称】 佐野 静夫

【手数料の表示】

【予納台帳番号】 024969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0113515

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 負荷に大電流を出力するパワートランジスタを備えた半導体集積回路装置において、

第 2 電極及び制御電極がそれぞれ前記パワートランジスタの第 2 電極及び制御電極に接続された第 1 トランジスタと、

当該第 1 トランジスタの第 1 電極に第 1 及び第 2 電極における一方の電極が接続される第 2 トランジスタと、

前記パワートランジスタの第 1 電極に一方の入力端子が接続されて前記第 1 トランジスタの第 1 電極に他方の入力端子が接続されるとともに、出力端子に前記第 2 トランジスタの制御電極が接続されるオペアンプと、

を備え、

前記パワートランジスタを流れる電流に比例した電流信号を前記第 2 トランジスタの第 1 及び第 2 電極における他方の電極から出力することを特徴とする半導体集積回路装置。

【請求項 2】 前記第 2 トランジスタと前記オペアンプとによって負帰還回路が構成されることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 負荷に大電流を出力するパワートランジスタを備えた半導体集積回路装置において、

第 2 電極及び制御電極がそれぞれ前記パワートランジスタの第 2 電極及び制御電極に接続された第 1 トランジスタと、

当該第 1 トランジスタの第 1 電極に第 2 電極が接続される第 2 トランジスタと

、

前記パワートランジスタの第 1 電極に制御電極が接続されるとともに、前記第 2 トランジスタの制御電極に第 2 電極が接続される第 3 トランジスタと、

を備え、

前記パワートランジスタを流れる電流に比例した電流信号を前記第 2 トランジスタの第 1 電極から出力することを特徴とする半導体集積回路装置。

【請求項 4】 前記第 2 トランジスタと前記第 3 トランジスタが逆極性のトランジスタであるとともに、前記第 2 トランジスタの第 2 電極及び制御電極間に発生する電位差と前記第 3 トランジスタの第 2 電極及び制御電極間に発生する電位差とが略等しいことを特徴とする請求項 3 に記載の半導体集積回路装置。

【請求項 5】 前記第 2 トランジスタが前記第 1 トランジスタと同じ極性のトランジスタであることを特徴とする請求項 4 に記載の半導体集積回路装置。

【請求項 6】 前記第 3 トランジスタの第 1 電極が前記パワートランジスタ及び前記第 1 トランジスタの第 2 電極と接続するとともに、前記第 3 トランジスタの第 2 電極に抵抗を介して直流電圧が印加されることを特徴とする請求項 3 ～請求項 5 のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、大電流を流すパワー MOS F E T やパワーバイポーラトランジスタなどのパワートランジスタを備えた半導体集積回路装置に関する。

【0 0 0 2】

【従来の技術】

モータドライバなどのように、負荷を駆動するために大電流を流すパワートランジスタを備えた半導体集積回路装置に対して、パワートランジスタに規定以上の電流が流れることによる破壊を防ぐために、パワートランジスタに流れる電流量を検出するための電流検出回路や過電流保護回路が設けられる。このような電流検出回路及び過電流保護回路において、パワートランジスタを含む回路に電流検出用の抵抗を直接接続することで電流検出を行うものがある。

【0 0 0 3】

しかしながら、パワートランジスタを備えた半導体集積回路装置が 5 V といった低い電源電圧が供給されて使用されることがある。このような場合、負荷に供給する電圧のダイナミックレンジを広く保つために、負荷に供給する電圧に対する電圧降下を抑制する必要がある。よって、パワートランジスタを含む回路に直接接続された電流検出用の抵抗による電圧降下を考慮すると、低い電源電圧が供

給される半導体集積回路装置には適切な構成ではない。

【0 0 0 4】

このような電圧降下を抑制した電流検出回路又は過電流保護回路を用いた従来技術として、ドレイン及びゲートがパワートランジスタのドレイン及びゲートと同電位なるトランジスタからの電流の大きさに従ってパワートランジスタを流れる電流保護を行う過電流保護機能付きのパワーM O S F E Tが提案されている（特許文献1～特許文献5参照）。又、従来技術として、パワーF E Tと並列に接続されたセンスF E T及びパワーF E Tがそれぞれオペアンプの入力端子に接続され、このオペアンプの出力端子とセンスF E T側の入力端子との間の電位差を確認することで電流検出する半導体装置が提案されている（特許文献6参照）。

【0 0 0 5】

【特許文献1】

特公平7-120221号公報

【特許文献2】

特公平8-34222号公報

【特許文献3】

特開2002-16219号公報

【特許文献4】

特開2002-26707号公報

【特許文献5】

特開2002-280886号公報

【特許文献6】

特開平6-61432号公報

【0 0 0 6】

【発明が解決しようとする課題】

特許文献1～特許文献5に記載された回路構成の過電流保護回路や電流検出回路の場合、ドレイン及びゲートがパワートランジスタのドレイン及びゲートと同電位になるトランジスタからの電流を検出することでパワートランジスタの電流検出を行うものとしているが、このトランジスタとパワートランジスタそれぞれ

のソースが強制的に同電位となるように構成されていない。よって、電流検出に用いられるトランジスタとパワートランジスタが完全に同一の動作状態ではないため、パワートランジスタを流れる電流に比例した電流が検出されない場合もある。

【0007】

又、特許文献6に記載された回路構成の半導体装置は、オペアンプの反転入力端子と出力端子とに抵抗を接続した構成としているため、オペアンプの反転入力端子側よりセンスFETのソース電流を検出電流として出力したとしても、センスFETのソース電流の一部が抵抗を介してオペアンプ内に流れ込む。よって、センスFETのソース電流が完全に出力されるわけではなく、その動作状態によって変動した値となってしまう。よって、オペアンプの出力端子側の電圧とオペアンプの反転入力端子側の電圧との差分によりパワーFETを流れる電流を検出するように構成しなければならない。

【0008】

更に、このとき、オペアンプの出力端子と反転入力端子との間に接続された抵抗にセンスFETのソース電流を流すようにするために、オペアンプの反転入力端子側をコンパレータやオペアンプの入力端子などの電流が流れ込まない回路段に接続する必要がある。即ち、更に後段に、電圧増幅段となる回路を設ける必要がある。又、電流信号として出力するためには、この電圧増幅段を電圧電流変換回路段とする必要がある。

【0009】

このような問題を鑑みて、本発明は、電流検出に用いられるトランジスタがパワートランジスタと同一の動作状態とされるとともに検出用信号として電流信号を出力する半導体集積回路装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の半導体集積回路装置は、負荷に大電流を出力するパワートランジスタを備えた半導体集積回路装置において、第2電極及び制御電極がそれぞれ前記パワートランジスタの第2電極及び制御電極

に接続された第1トランジスタと、当該第1トランジスタの第1電極に第1及び第2電極における一方の電極が接続される第2トランジスタと、前記パワートランジスタの第1電極に一方の入力端子が接続されて前記第1トランジスタの第1電極に他方の入力端子が接続されるとともに、出力端子に前記第2トランジスタの制御電極が接続されるオペアンプと、を備え、前記パワートランジスタを流れる電流に比例した電流信号を前記第2トランジスタの第1及び第2電極における他方の電極から出力することを特徴とする。

【0011】

この構成によると、前記オペアンプの両入力端子の電圧がほぼ等しくなるため、前記パワートランジスタ及び前記第1トランジスタそれぞれの第1電極にかかる電圧がほぼ等しくなり、前記パワートランジスタ及び前記第1トランジスタの動作状態がほぼ同一とすることができる。よって、パワートランジスタ及び第1トランジスタがMOSFETである場合、その(ゲート幅)/(ゲート長)に比例した電流が、又、パワートランジスタ及び第1トランジスタがバイポーラトランジスタである場合、そのエミッタ面積に比例した電流がそれぞれ、検出用の電流信号として出力されて、パワートランジスタを流れる電流が検出される。

【0012】

又、請求項2に記載するように、前記第2トランジスタと前記オペアンプとによって負帰還回路が構成される。このとき、前記第2トランジスタがNチャネルのMOSFETやnpn型バイポーラトランジスタである場合、前記第1トランジスタ及び前記第2トランジスタの接続ノードが前記オペアンプの反転入力端子に接続される。又、前記第2トランジスタがPチャネルのMOSFETやpnp型バイポーラトランジスタである場合、前記第1トランジスタ及び前記第2トランジスタの接続ノードが前記オペアンプの非反転入力端子に接続される。

【0013】

又、請求項3に記載の半導体集積回路装置は、負荷に大電流を出力するパワートランジスタを備えた半導体集積回路装置において、第2電極及び制御電極がそれぞれ前記パワートランジスタの第2電極及び制御電極に接続された第1トランジスタと、当該第1トランジスタの第1電極に第2電極が接続される第2トラン

ジスタと、前記パワートランジスタの第1電極に制御電極が接続されるとともに、前記第2トランジスタの制御電極に第2電極が接続される第3トランジスタと、を備え、前記パワートランジスタを流れる電流に比例した電流信号を前記第2トランジスタの第1電極から出力することを特徴とする。

【0014】

この構成によると、請求項4に記載するように、前記第2トランジスタと前記第3トランジスタが逆極性のトランジスタであるとともに、前記第2トランジスタの第2電極及び制御電極間に発生する電位差と前記第3トランジスタの第2電極及び制御電極間に発生する電位差とを略等しくすることで、前記パワートランジスタ及び前記第1トランジスタの第1電極にはほぼ等しい電圧を印加することができる。

【0015】

よって、パワートランジスタ及び第1トランジスタがMOSFETである場合、その(ゲート幅)/(ゲート長)に比例した電流が、又、パワートランジスタ及び第1トランジスタがバイポーラトランジスタである場合、そのエミッタ面積に比例した電流がそれぞれ、検出用の電流信号として出力されて、パワートランジスタを流れる電流が検出される。又、このとき、第2及び第3トランジスタがMOSFETであるときはソース・ゲート間の電圧が、第2及び第3トランジスタがバイポーラトランジスタであるときはベース・エミッタ間の電圧が、それぞれ略等しくなるように設定される。

【0016】

又、請求項5に記載するように、前記第2トランジスタが前記第1トランジスタと同じ極性のトランジスタである。即ち、前記第1トランジスタがNチャネルのMOSFET又はnpn型バイポーラトランジスタであるときは、前記第2トランジスタをNチャネルのMOSFETとするとともに前記第3トランジスタをPチャネルのMOSFETとするか、又は、前記第2トランジスタをnpn型バイポーラトランジスタとするとともに前記第3トランジスタをpnp型バイポーラトランジスタとする。又、前記第1トランジスタがPチャネルのMOSFET又はpnp型バイポーラトランジスタであるときは、前記第2トランジスタをP

チャンネルのMOSFETとするとともに前記第3トランジスタをNチャンネルのMOSFETとするか、又は、前記第2トランジスタをpnp型バイポーラトランジスタとするとともに前記第3トランジスタをnpn型バイポーラトランジスタとする。

【0017】

更に、請求項6に記載するように、前記第3トランジスタの第1電極が前記パワートランジスタ及び前記第1トランジスタの第2電極と接続するとともに、前記第3トランジスタの第2電極に抵抗を介して直流電圧が印加される。

【0018】

【発明の実施の形態】

<第1の実施形態>

本発明の第1の実施形態を、図面を参照して以下に説明する。図1は、本実施形態のパワートランジスタを備えた半導体集積回路装置の内部構成を示す回路ブロック図である。

【0019】

図1の半導体集積回路装置は、負荷Lに電流供給するパワートランジスタM1と、パワートランジスタM1のゲート及びソースそれぞれにゲート及びソースが接続されたトランジスタM2と、パワートランジスタM1のドレインに非反転入力端子が接続されるとともにトランジスタM2のドレインに反転入力端子が接続されたオペアンプAと、オペアンプAの出力端子にゲートが接続されるとともにトランジスタM2のドレインにソースが接続されたトランジスタM3とによって構成される。

【0020】

又、パワートランジスタM1及びトランジスタM2のソースが接地用端子10を介して接地されるとともに、パワートランジスタM1及びトランジスタM2のゲートに制御用端子11を介して制御信号が入力される。又、パワートランジスタM1のドレインが負荷Lと負荷用端子12を介して接続される。又、トランジスタM3のドレインに検出電流を出力する検出用端子13が設けられる。更に、パワートランジスタM1及びトランジスタM2、M3は、NチャンネルのMOSF

ETである。又、トランジスタM3及びオペアンプAによって負帰還回路が構成される。

【0021】

このように半導体集積回路装置が構成されるとき、オペアンプAの反転入力端子及び非反転入力端子それぞれにおける電圧がほぼ等しくなるため、パワートランジスタM1及びトランジスタM2それぞれのドレインにかかる電圧がほぼ等しくなる。よって、パワートランジスタM1及びトランジスタM2は、それぞれのソース同士及びゲート同士が接続されているため、ドレイン及びソース及びゲートそれぞれに印加される電圧が等しくなる。

【0022】

このように、パワートランジスタM1及びトランジスタM2の各電極に印加される電圧を等しくすることによって、トランジスタM2を流れるドレイン電流がパワートランジスタM1を流れるドレイン電流に比例した値となる。即ち、パワートランジスタM1のゲート幅及びゲート長を W_1 、 L_1 とし、トランジスタM2のゲート幅及びゲート長を W_2 、 L_2 とすると、パワートランジスタM1のドレイン電流 I_1 に対して、トランジスタM2のドレイン電流 I_2 が、 $I_1 \times (W_2 / L_2) / (W_1 / L_1)$ となる。このとき、トランジスタM2のドレイン電流が数 μA ～数10 μA に対して、トランジスタM1のドレイン電流が数百mAとなる。

【0023】

又、トランジスタM3が設けられることによって、オペアンプAの出力電圧がトランジスタM3のゲート電圧としてサンプリングされるのみとすることができる。よって、トランジスタM2が抵抗などを介して直接オペアンプAの出力端子に接続される場合と異なり、トランジスタM3のドレイン電流の一部としてオペアンプAから流出したり、検出用端子13を流れる電流の一部がオペアンプAに流入することを防ぐことができる。そのため、オペアンプAからの電流が流入又は流出して検出端子13に現れる電流がオペアンプAにより影響されることがないので、検出端子13に現れる電流値がパワートランジスタM1のドレイン電流に比例したトランジスタM2のドレイン電流の電流値を表すことになる。

【0024】

又、図1では、トランジスタM3をNチャネルのMOSFETとしたが、図2のように、トランジスタM3の代わりにnpn型バイポーラトランジスタであるトランジスタT3を使用しても構わない。このとき、トランジスタT3は、コレクタが検出用端子13に、ベースがオペアンプAの出力端子に、エミッタがトランジスタM2のドレインに接続される。即ち、トランジスタT3及びオペアンプAによって負帰還回路が構成される。又、このトランジスタT3のベース電流は、コレクタ電流に比べて微少なため、図1の場合と同様、検出端子13に現れる電流値がパワートランジスタM1のドレイン電流に比例したトランジスタM2のドレイン電流の電流値を表すことになる。

【0025】

又、図1及び図2では、パワートランジスタM1をNチャネルのMOSFETとしたが、図3(a)、(b)のように、パワートランジスタM1の代わりに、npn型バイポーラトランジスタであるパワートランジスタT1が使用される場合もある。このとき、NチャネルのMOSFETであるトランジスタM2の代わりに、npn型バイポーラトランジスタであるトランジスタT2が使用される。

【0026】

そして、オペアンプAの非反転入力端子及び反転入力端子それぞれに、パワートランジスタT1のコレクタ及びトランジスタT2のコレクタに接続される。又、パワートランジスタT1及びトランジスタT2のエミッタが接地用端子10に、パワートランジスタT1及びトランジスタT2のベースが制御用端子11にそれぞれ接続される。尚、図3(a)がNチャネルのMOSFETであるトランジスタM3を使用した構成であり、図3(b)がnpn型バイポーラトランジスタであるトランジスタT3を使用した構成である。

【0027】

図3(a)、(b)のように構成したとき、オペアンプA及びトランジスタM3、T3は、図1及び図2におけるオペアンプA及びトランジスタM3、T3と同様の機能を備える。そして、パワートランジスタT1及びトランジスタT2には、それぞれのエミッタ及びコレクタ及びベースに同じ電圧が印加された状態と

なり、パワートランジスタ T1 及びトランジスタ T2 のエミッタ面積に比例したコレクタ電流が流れることとなる。よって、パワートランジスタ T1 及びトランジスタ T2 のエミッタ面積をそれぞれ S1, S2 とし、パワートランジスタ T1 のコレクタ電流 I1 であるとき、トランジスタ T2 に流れるコレクタ電流 I2 が $I1 \times S2 / S1$ となるとともに、このコレクタ電流 I2 が検出用端子 13 に現れる。

【0028】

又、図1～図3では、パワートランジスタ M1, T1 がオペアンプ A の非反転入力端子に、トランジスタ M2, T2 がオペアンプ A の反転入力端子に接続されるものとしたが、オペアンプ A の非反転入力端子及び反転入力端子への接続関係を逆としても構わない。即ち、図4 (a)、(b) のように、オペアンプ A の反転入力端子及び非反転入力端子それぞれにパワートランジスタ M1 のドレイン及びトランジスタ M2 のドレインが接続され、又、図4 (c)、(d) のように、オペアンプ A の反転入力端子及び非反転入力端子それぞれにパワートランジスタ T1 のコレクタ及びトランジスタ T2 のコレクタが接続される。

【0029】

このとき、オペアンプ A の出力端子に接続されるトランジスタ M3, T3 はそれぞれ、Pチャネルの MOSFET 及び pnp 型バイポーラトランジスタとされることで、オペアンプ A 及びトランジスタ M3, T3 によって負帰還回路が構成される。即ち、トランジスタ M3 は、図4 (a)、(c) のように、ゲートがオペアンプ A の出力端子に、ソースが検出用端子 13 に、ドレインがオペアンプ A の非反転入力端子に接続され、又、トランジスタ T3 は、図4 (b)、(d) のように、ベースがオペアンプ A の出力端子に、エミッタが検出用端子 13 に、コレクタがオペアンプ A の非反転入力端子に接続される。

【0030】

更に、図1～図4では、パワートランジスタ M1 及びトランジスタ M2 を Nチャネルの MOSFET とし、パワートランジスタ T1 及びトランジスタ T2 を npn 型バイポーラトランジスタとしたが、図5に示すように、パワートランジスタ M1 及びトランジスタ M2 を Pチャネルの MOSFET とし、パワートランジ

スタ T1 及びトランジスタ T2 を p n p 型バイポーラトランジスタとすることができる。

【0031】

このとき、図5 (a)、(b) のように、オペアンプ A の非反転入力端子及び反転入力端子それぞれにパワートランジスタ M1 のドレイン及びトランジスタ M2 のドレインが接続されるとともに、トランジスタ M3、T3 をそれぞれ P チャネルの MOSFET 又は p n p 型バイポーラトランジスタとし、オペアンプ A の非反転入力端子と出力端子 12 とを接続する。このようにすることで、図5 (a)、(b) の回路構成が、図1 及び図2 と逆極性であるが、その接続関係が等しくなる。

【0032】

又、図5 (c)、(d) のように、オペアンプ A の非反転入力端子及び反転入力端子それぞれにパワートランジスタ T1 のコレクタ及びトランジスタ T2 のコレクタが接続されるとともに、トランジスタ M3、T3 をそれぞれ P チャネルの MOSFET 又は p n p 型バイポーラトランジスタとし、オペアンプ A の非反転入力端子と出力端子 12 とを接続する。このようにすることで、図5 (c)、(d) の回路構成が、図3 (a)、(b) と逆極性であるが、その接続関係が等しくなる。

【0033】

又、図6 (a)、(b) のように、オペアンプ A の反転入力端子及び非反転入力端子それぞれにパワートランジスタ M1 のドレイン及びトランジスタ M2 のドレインが接続されるとともに、トランジスタ M3、T3 をそれぞれ N チャネルの MOSFET 又は n p n 型バイポーラトランジスタとし、オペアンプ A の反転入力端子と出力端子 12 とを接続する。このようにすることで、図6 (a)、(b) の回路構成が、図4 (a)、(b) と逆極性であるが、その接続関係が等しくなる。

【0034】

又、図6 (c)、(d) のように、オペアンプ A の反転入力端子及び非反転入力端子それぞれにパワートランジスタ T1 のコレクタ及びトランジスタ T2 のコ

レクタが接続されるとともに、トランジスタM3、T3をそれぞれNチャネルのMOSFET又はnpn型バイポーラトランジスタとし、オペアンプAの反転入力端子と出力端子12とを接続する。このようにすることで、図6(c)、(d)の回路構成が、図4(c)、(d)と逆極性であるが、その接続関係が等しくなる。

【0035】

<第2の実施形態>

本発明の第2の実施形態を、図面を参照して以下に説明する。図7は、本実施形態のパワートランジスタを備えた半導体集積回路装置の内部構成を示す回路ブロック図である。尚、図7において、図1と同一の素子については、同一の符号を付してその詳細な説明を省略する。

【0036】

図7の半導体集積回路装置は、図1の半導体集積回路装置からオペアンプAが削除されるとともに、電源電圧VDDが一端に印加された抵抗R及びトランジスタM3のゲートにソースが接続されゲートがパワートランジスタM1のドレインに接続されたトランジスタM4が設けられる。このトランジスタM4は、ドレインが接地端子10を介して接地されるPチャネルのMOSFETであり、トランジスタM3、M4のソース・ゲート間の閾値電圧が略同一の電圧 V_{th} とされる。

【0037】

このように構成されるとき、パワートランジスタM1のドレイン電圧を V_a とすると、このパワートランジスタM1のドレイン電圧 V_a がトランジスタM4のゲートに与えられるため、トランジスタM4のソース電圧が $V_a + V_{th}$ となる。又、このトランジスタM4のソース電圧 $V_a + V_{th}$ がトランジスタM3のゲートに与えられるため、トランジスタM3のソース電圧が $V_a + V_{th} - V_{th} = V_a$ となり、トランジスタM2のドレイン電圧が V_a となり、パワートランジスタM1のドレイン電圧と等しくなる。

【0038】

よって、トランジスタM2のドレイン電圧及びゲート電圧及びソース電圧がそ

れぞれ、パワートランジスタM1のドレイン電圧及びゲート電圧及びソース電圧と等しい値となるため、トランジスタM2のドレイン電流がトランジスタM1のドレイン電流に対して(ゲート幅)/(ゲート長)で比例した値となる。又、パワートランジスタM1のドレイン電圧がトランジスタM4のゲート電圧としてサンプリングされるのみであり、又、トランジスタM4のソース電圧がトランジスタM3のゲート電圧としてサンプリングされるのみであるため、検出端子13より出力されるトランジスタM2のドレイン電流への影響を小さくすることができる。

【0039】

即ち、トランジスタM3のドレイン電流がトランジスタM4と抵抗Rによる回路を流れる電流により増減することがなく、トランジスタM2のドレイン電流と等しい値となる。又、パワートランジスタM1を流れる電流がトランジスタM4と抵抗Rによる回路を流れる電流により増減することがなく、負荷Lを流れる電流と等しい値となる。よって、第1の実施形態と同様、検出用端子13に現れる電流は、パワートランジスタM1のドレイン電流に比例したトランジスタM2のドレイン電流と等しい値となる。

【0040】

又、図7では、トランジスタM3をNチャネルのMOSFETとするとともにトランジスタM4をPチャネルのMOSFETとしたが、図8のように、トランジスタM3の代わりにnpn型バイポーラトランジスタであるトランジスタT3を、トランジスタM4の代わりにpnp型バイポーラトランジスタT4をそれぞれ使用しても構わない。

【0041】

このとき、トランジスタT3は、コレクタが検出用端子13に、ベースが抵抗Rの他端に、エミッタがトランジスタM2のドレインに接続される。又、トランジスタT4は、コレクタが接地用端子10に、ベースがトランジスタM1のドレインに、エミッタがトランジスタT3のベースに接続される。このトランジスタT3、T4のベース電流は、コレクタ電流に比べて微少なため、図7の場合と同様、検出端子13に現れる電流値がパワートランジスタM1のドレイン電流に比

例したトランジスタM2のドレイン電流の電流値を表すことになる。

【0042】

又、図7及び図8では、パワートランジスタM1をNチャネルのMOSFETとしたが、図9(a)、(b)のように、バイポーラトランジスタM1の代わりに、npn型バイポーラトランジスタであるパワートランジスタT1が使用される場合もある。このとき、NチャネルのMOSFETであるトランジスタM2の代わりに、npn型バイポーラトランジスタであるトランジスタT2が使用される。

【0043】

そして、図9(a)において、パワートランジスタT1のコレクタがトランジスタM4のゲートに接続されるとともに、トランジスタT2のコレクタがトランジスタM3のソースに接続される。又、図9(b)において、パワートランジスタT1のコレクタがトランジスタT4のベースに接続されるとともに、トランジスタT2のコレクタがトランジスタT3のエミッタに接続される。更に、図9(a)、(b)において、パワートランジスタT1及びトランジスタT2のエミッタが接地用端子10に、パワートランジスタT1及びトランジスタT2のベースが制御用端子11にそれぞれ接続される。

【0044】

更に、図7～図9では、パワートランジスタM1及びトランジスタM2をNチャネルのMOSFETとし、パワートランジスタT1及びトランジスタT2をnpn型バイポーラトランジスタとしたが、パワートランジスタM1及びトランジスタM2をPチャネルのMOSFETとし、パワートランジスタT1及びトランジスタT2をpnp型バイポーラトランジスタとすることができる。

【0045】

又、図10(a)、(c)のように、トランジスタM2のドレイン又はトランジスタT2のコレクタにソースが接続されるトランジスタM3をPチャネルのMOSFETとするとともに、パワートランジスタM1のドレイン又はパワートランジスタT1のコレクタにゲートが接続されるトランジスタM4をNチャネルのMOSFETとする。このようにすることで、図10(a)、(c)の回路構成

が、図 7 及び図 9 (a) と逆極性であるが、その接続関係が等しくなる。

【0 0 4 6】

又、図 1 0 (b)、(d) のように、トランジスタ M 2 のドレイン又はトランジスタ T 2 のコレクタにエミッタが接続されるトランジスタ T 3 を p n p 型バイポーラトランジスタとするとともに、パワートランジスタ M 1 のドレイン又はパワートランジスタ T 1 のコレクタにベースが接続されるトランジスタ T 4 を n p n 型バイポーラトランジスタとする。このようにすることで、図 1 0 (b)、(d) の回路構成が、図 8、図 9 (b) と逆極性であるが、その接続関係が等しくなる。

【0 0 4 7】

【発明の効果】

本発明によると、パワートランジスタの第 1 電極及び第 2 電極及び制御電極それぞれにかかる電圧とほぼ同じ電圧がかかる第 1 トランジスタを流れる電流を電流信号として出力する。そのため、パワートランジスタとほぼ同一の動作条件で動作する第 1 トランジスタを流れる電流信号がパワートランジスタを流れる電流信号に対して比例関係となり、パワートランジスタを流れる電流をより正確に確認することができる。又、第 1 トランジスタを流れるとともに出力される電流信号が半導体集積回路装置内部の他の回路部分を流れる電流による影響のない構成とすることができる。よって、出力される電流信号を信頼性の高い電流信号とすることができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態の半導体集積回路装置の内部構成を示す回路ブロック図。

【図 2】 本発明の第 1 の実施形態の半導体集積回路装置の別の内部構成を示す回路ブロック図。

【図 3】 本発明の第 1 の実施形態の半導体集積回路装置の別の内部構成を示す回路ブロック図。

【図 4】 本発明の第 1 の実施形態の半導体集積回路装置の別の内部構成を示す回路ブロック図。

【図 5】 本発明の第 1 の実施形態の半導体集積回路装置の別の内部構成を示す回路ブロック図。

【図 6】 本発明の第 1 の実施形態の半導体集積回路装置の別の内部構成を示す回路ブロック図。

【図 7】 本発明の第 2 の実施形態の半導体集積回路装置の内部構成を示す回路ブロック図。

【図 8】 本発明の第 2 の実施形態の半導体集積回路装置の別の内部構成を示す回路ブロック図。

【図 9】 本発明の第 2 の実施形態の半導体集積回路装置の別の内部構成を示す回路ブロック図。

【図 1 0】 本発明の第 2 の実施形態の半導体集積回路装置の別の内部構成を示す回路ブロック図。

【符号の説明】

M 1 , T 1 パワートランジスタ

M 2 ～ M 4 , T 2 ～ T 4 トランジスタ

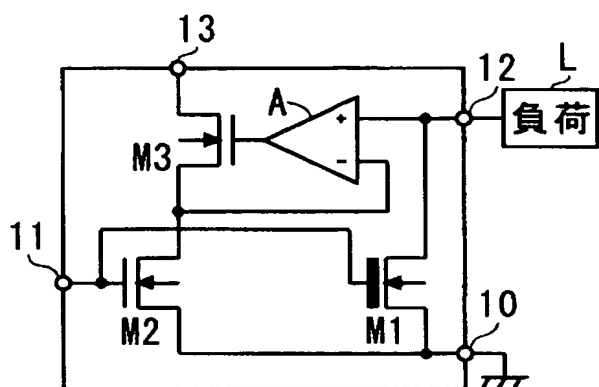
A オペアンプ

L 負荷

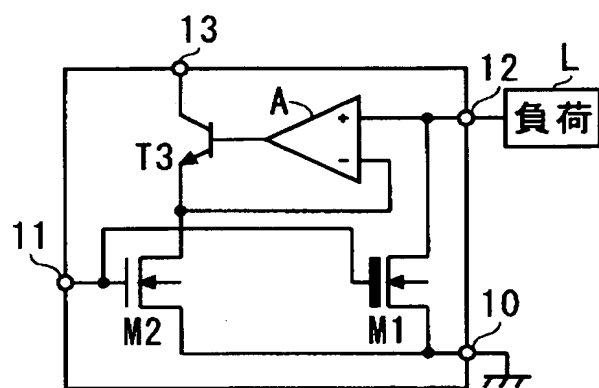
R 抵抗

【書類名】 図面

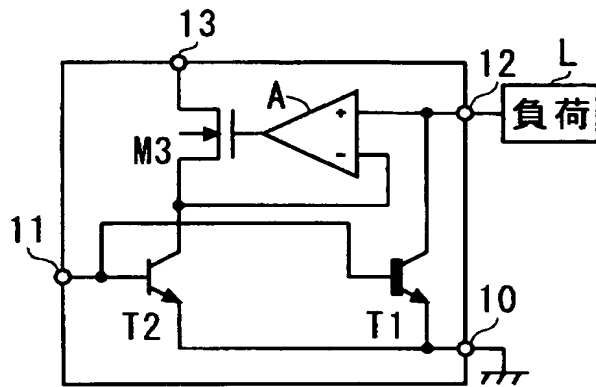
【図 1】



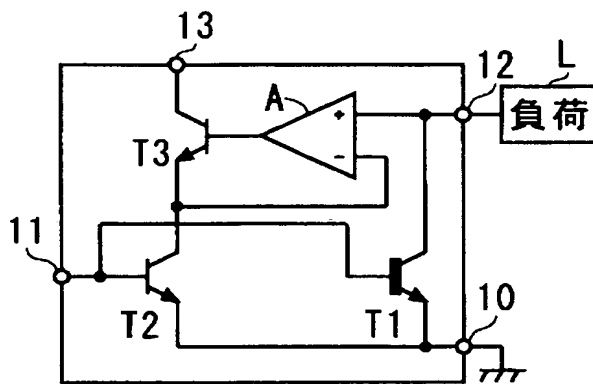
【図 2】



【図 3】

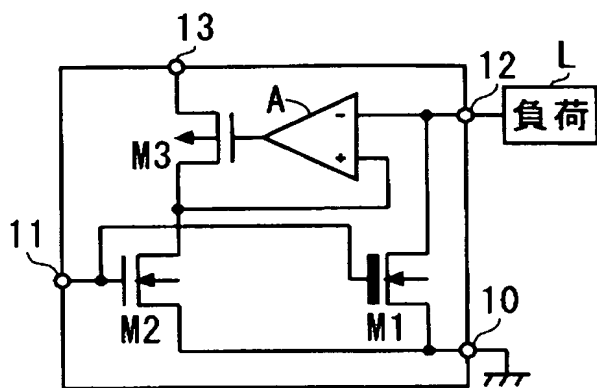


(a)

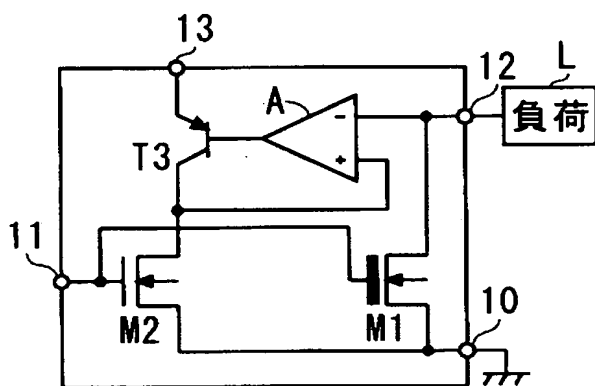


(b)

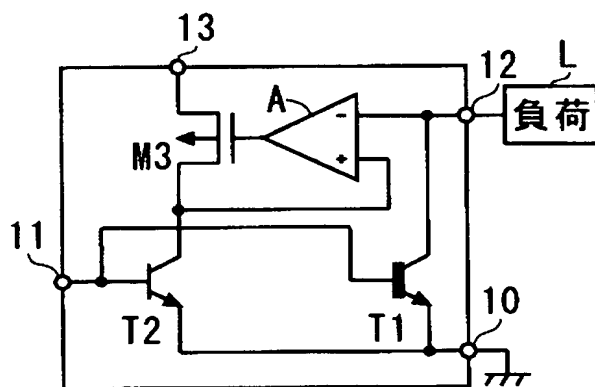
【図 4】



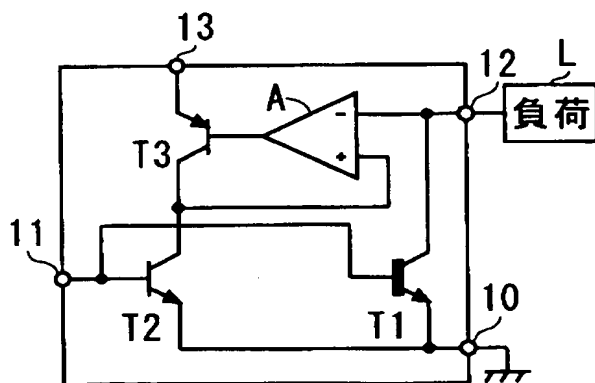
(a)



(b)

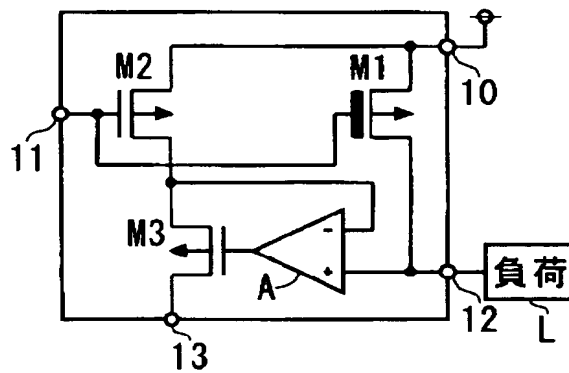


(c)

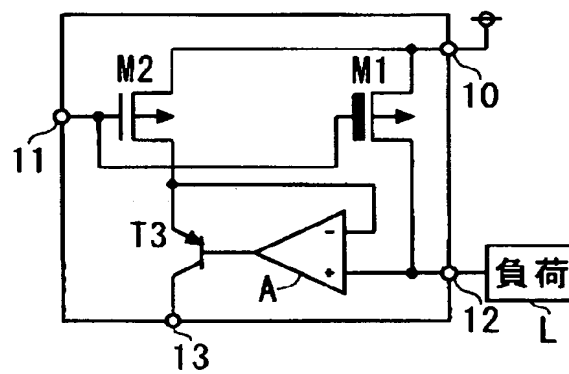


(d)

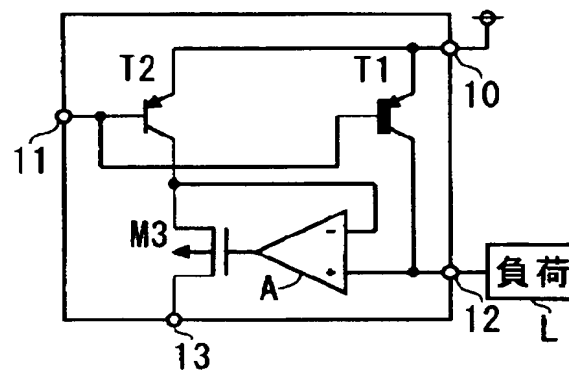
【図 5】



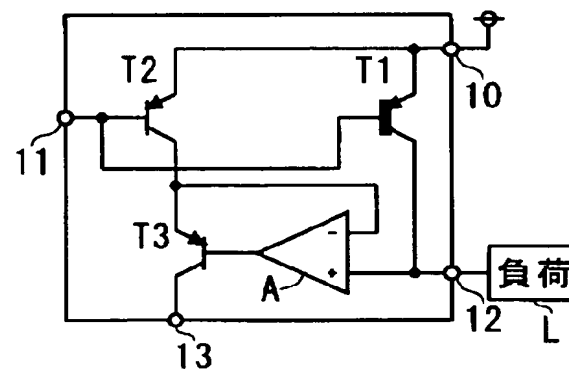
(a)



(b)

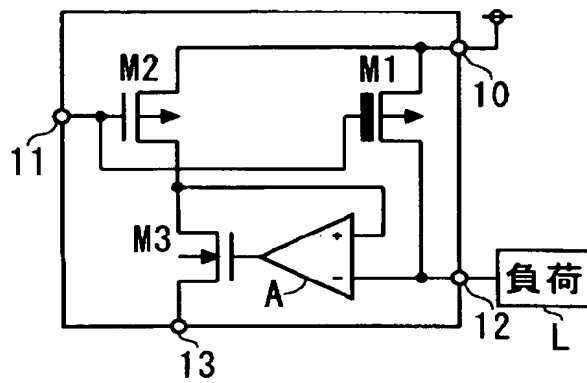


(c)

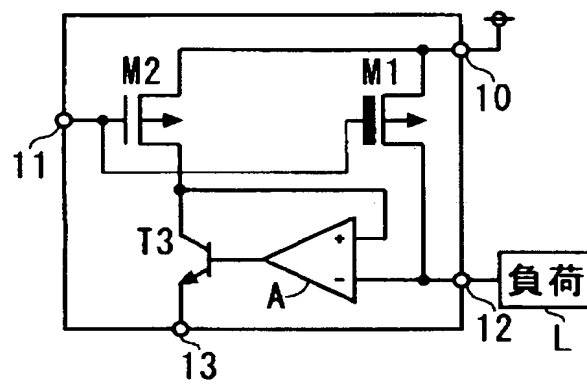


(d)

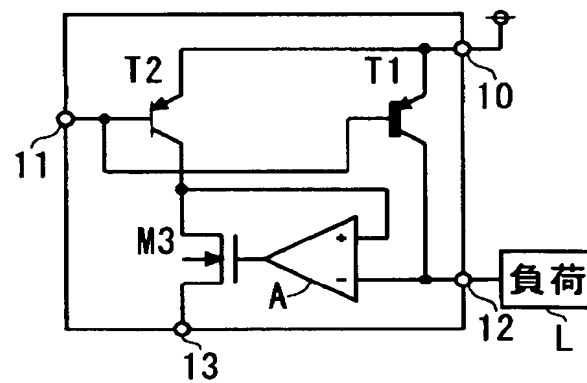
【図 6】



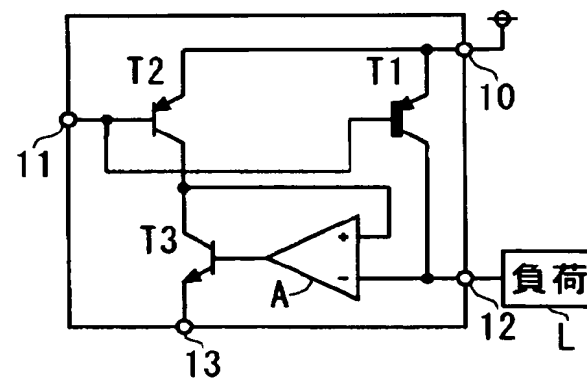
(a)



(b)

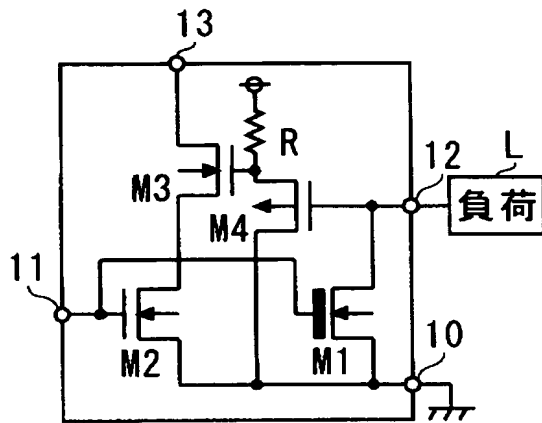


(c)

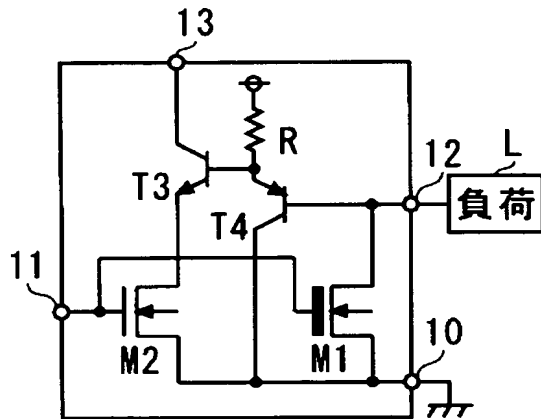


(d)

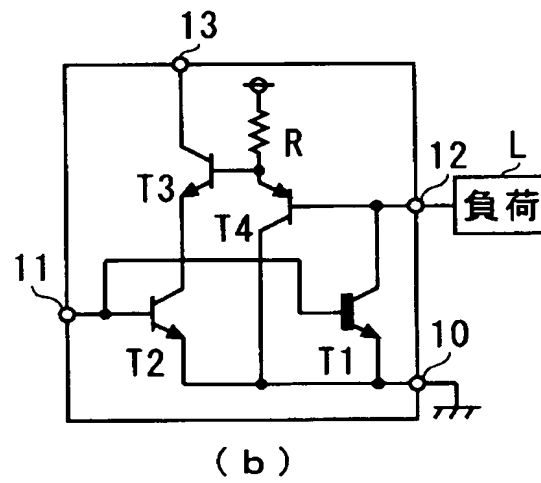
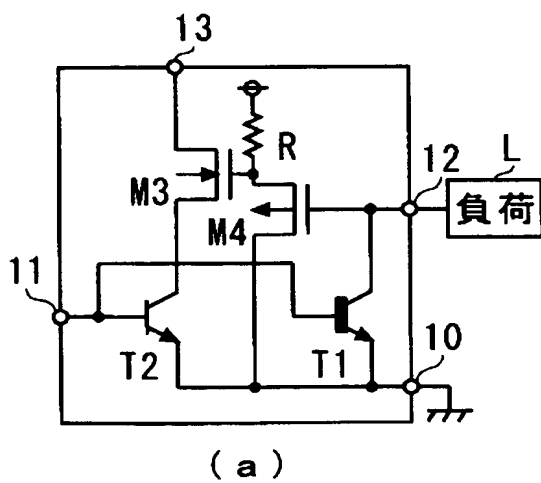
【図 7】



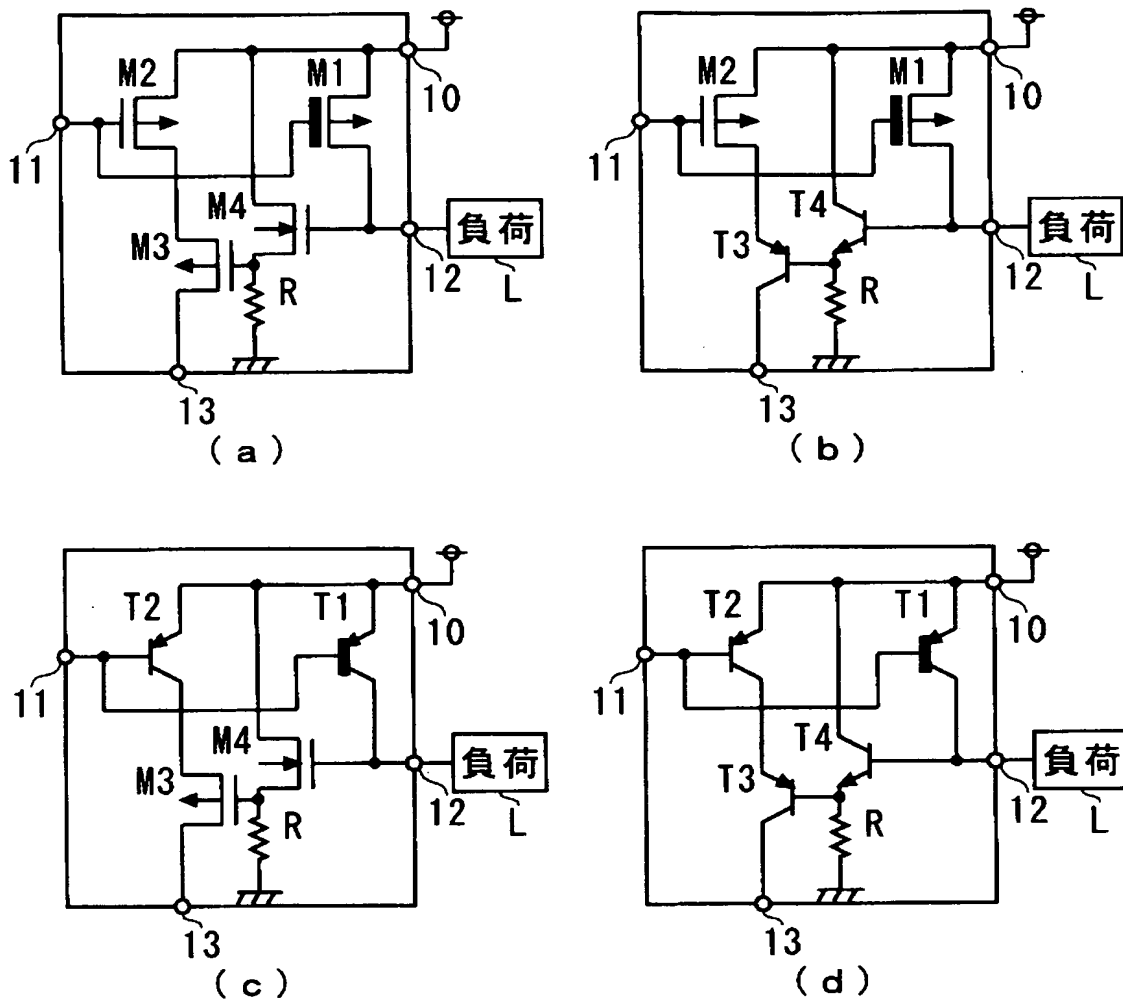
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 電流検出に用いられるトランジスタがパワートランジスタと同一の動作状態とされるとともに検出用信号として電流信号を出力する半導体集積回路装置を提供することを目的とする。

【解決手段】 パワートランジスタM1のドレインをオペアンプAの非反転入力端子に接続するとともに、トランジスタM2のドレインをオペアンプAの反転入力端子に接続することで、ゲート同士及びソース同士を接続したパワートランジスタM1及びトランジスタM2のドレイン電圧をほぼ同一とする。そして、トランジスタM2のドレイン電流がパワートランジスタM1のドレイン電流に比例した電流信号として検出用端子13から出力される。

【選択図】 図1

特願 2 0 0 3 - 0 4 8 3 6 9

出 願 人 履 歴 情 報

識別番号 [0 0 0 1 1 6 0 2 4]

1. 変更年月日	1 9 9 0 年 8 月 2 2 日
[変更理由]	新規登録
住 所	京都府京都市右京区西院溝崎町 2 1 番地
氏 名	ローム株式会社